

**MICROCOMPUTER**

Patent Number: JP2128287  
Publication date: 1990-05-16  
Inventor(s): ADACHI KAZUSHI  
Applicant(s):: NEC IC MICROCOMPUT SYST LTD  
Requested Patent: ☐ JP2128287  
Application Number: JP19880283318 19881108  
Priority Number(s):  
IPC Classification: G06F15/78 ; G06F9/22 ; G06F13/00 ; G06F13/24  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To reduce complex processing such as pulse width deciding by software by generating an external interruption only for a signal having a pulse width effective for the serial signal of remote control, etc.

**CONSTITUTION:** The microcomputer is composed including an edge detecting circuit 3, a control circuit 4, a counter circuit 8, a comparing circuit 9, and an interruption control circuit 13. In the case of the remote output waveform of a remote control transmitting IC, when the waveform is a pulse decided as '0,' while a rising edge is detected every approximate 1.1ms under an ordinary 455kHz oscillation, the external interruption is generated once in every approximate 1.1ms, and the interruption is to be generated only in the case of the pulse decided as '0' here. Since the external interruption is never generated in the time width of an ineffective external input signal in this manner, the processing can be simplified.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-128287

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/78  
9/22  
13/00  
13/24

識別記号

5 1 0 D  
3 6 0  
3 0 1 D  
3 3 0

庁内整理番号

7343-5B  
7361-5B  
8840-5B  
8840-5B

⑭ 公開 平成2年(1990)5月16日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭63-283318

⑰ 出 願 昭63(1988)11月8日

⑱ 発 明 者 足 立 一 至 東京都港区芝5丁目7番15号 日本電気アイシーマイコン  
システム株式会社内

⑲ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号  
コンシステム株式会社

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

マイクロコンピュータ

特 許 請 求 の 範 囲

- (1) 外部入力信号のエッジを検出し、エッジ信号を出力するエッジ検出回路、
- (2) 前記エッジ信号にもとづいてカウント・スタート信号とカウント・エンド信号を出力し、カウント・クリア信号により初期状態に復帰する制御回路、
- (3) 前記カウント・スタート信号にもとづいて、クロック信号のカウントを開始し、前記カウント・エンド信号が供給されたとき前記クロック信号のカウントを停止し、前記カウント・クリア信号により初期状態に復帰するカウンタ回路、
- (4) 前記カウンタ回路のカウント値とモジュロ・レジスタの設定値とを比較し、両者が一致した

場合一致信号を出力し、両者が一致しない場合前記カウント・クリア信号を前記制御回路と前記カウンタ回路に向けて送出する比較回路、

- (5) 前記一致信号にもとづいて割り込み要求信号を出力する割り込み制御回路、
- とを含むことを特徴とするマイクロコンピュータ。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明はマイクロコンピュータ、特に、外部割り込み回路を有するマイクロコンピュータに関する。

(従来の技術)

従来のマイクロコンピュータは、外部入力信号のエッジを検出することによって、外部割り込みが発生するようになっていた。

次に従来のマイクロコンピュータについて図面を参照して詳細に説明する。

第2図は従来のマイクロコンピュータの一例を

示すブロック図である。

第2図に示すマイクロコンピュータは、エッジ検出回路3と割り込み制御回路13とを含んで構成される。

〔発明が解決しようとする課題〕

上述した従来のマイクロコンピュータは、外部入力信号の任意の時間幅(パルス幅等)を有効な信号とする場合、無効な外部入力信号の時間幅においても外部割り込みが発生するという欠点があった。

〔課題を解決するための手段〕

本発明のマイクロコンピュータは、

- (A) 外部入力信号のエッジを検出し、エッジ信号を出力するエッジ検出回路、
- (B) 前記エッジ信号にもとづいてカウント・スタート信号とカウント・エンド信号を出力し、カウント・クリア信号により初期状態に復帰する制御回路、
- (C) 前記カウント・スタート信号にもとづいて、クロック信号のカウントを開始し、前記カウ

- (D) 前記エッジ信号にもとづいてカウント・スタート信号5とカウント・エンド信号6とを出力し、カウント・クリア信号10により初期状態に復帰する制御回路4、
  - (E) カウント・スタート信号5にもとづいて、クロック信号のカウントを開始し、カウント・エンド信号6が供給されたとき前記クロック信号のカウントを停止し、カウント・クリア信号10により初期状態に復帰するカウンタ回路8、
  - (F) カウンタ回路8のカウント値とモジュロ・レジスタ12の設定値とを比較し、両者が一致した場合一致信号11を出力し、両者が一致しない場合前記カウント・クリア信号10を制御回路4とカウンタ回路8に向けて送出する比較回路9、
  - (G) 一致信号11にもとづいて割り込み要求信号14を出力する割り込み制御回路13、
- とを含んで構成される。

リモートコントロール送信用ICのリモート出力波形の場合、"0"と判定されるパルスであれ

ば、通常455kHz発振の時は、約1.1ms毎に立上りエッジが検出され、本発明であれば外部割り込みは約1.1ms毎に一度であり、その割り込みは"0"と判定されるパルスの場合にしか発生しないことになる。

- (D) 前記カウンタ回路のカウント値とモジュロ・レジスタの設定値とを比較し、両者が一致した場合一致信号を出力し、両者が一致しない場合前記カウント・クリア信号を前記制御回路と前記カウンタ回路に向けて送出する比較回路、

- (E) 前記一致信号にもとづいて割り込み要求信号を出力する割り込み制御回路、
- とを含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

第1図に示すマイクロコンピュータは、

- (A) 外部入力信号1のエッジを検出し、エッジ信号を出力するエッジ検出回路3、

ば、通常455kHz発振の時は、約1.1ms毎に立上りエッジが検出され、本発明であれば外部割り込みは約1.1ms毎に一度であり、その割り込みは"0"と判定されるパルスの場合にしか発生しないことになる。

本発明は立下りエッジおよび両エッジ検出にも応用できる。

〔発明の効果〕

本発明のマイクロコンピュータは、あらかじめ設定されたメモリ値によって、外部入力信号の時間幅を観察できるため、有効な信号に応じた処理が行なえ、リモートコントロール等のシリアル信号に対し有効なパルス幅の信号に対してのみ外部割り込みが発生するので、ソフトウェアによるパルス幅判定等の複雑な処理を大幅に削減できるといふ効果がある。

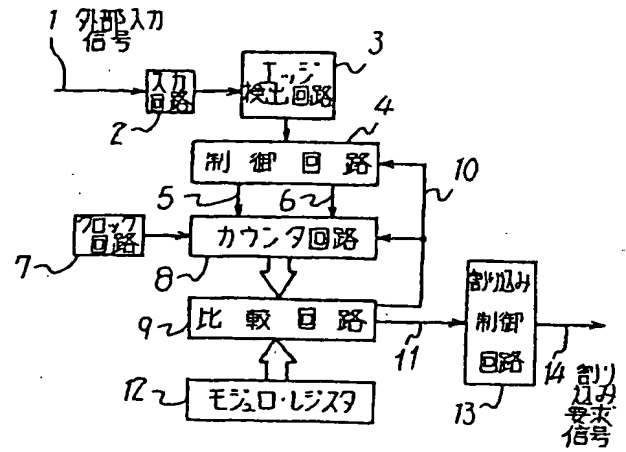
図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来の一例を示すブロック図である。

1 …… 外部入力信号、3 …… エッジ検出回路、  
4 …… 制御回路、5 …… カウント・スタート信号、6 …… カウント・エンド信号、8 …… カウンタ回路、9 …… 比較回路、10 …… カウント・クリア信号、11 …… 一致信号、12 …… モジュロ・レジスタ、13 …… 割り込み制御回路、14 …… 割り込み要求信号。

代理人 井理士 内 原 晋

第 1 図



第 2 図

